

UNIVERSIDAD AUTÓNOMA METROPOLITANA
"AZCAPOTZALCO"
PRACTICAS DEL LABORATORIO DE
SISTEMAS DIGITALES CON MICROPROCESADORES
M. en C. Ma. ANTONIETA GARCIA GALVÁN

UNIDAD IV

Nombre _____

1. ¿Cuáles la finalidad de la terminal CS' (o CE') y OE' en un componente de memoria?
2. ¿Cuáles la finalidad de la terminal WR" en una RAM.?
3. ¿Cuáles la capacidad de las siguientes memorias y qué tipo de memoria . ?
a) 2716, b) 2732, c) 2764, d) 27128 y e) 27256
4. Realice la interfaz (diagrama) del 8086 con 2 memoria EPROM 2732 (4K x 8) y 2 memorias RAM estáticas TMS4016(2K x 8).
5. ¿Cuáles la finalidad de las señales BHE' y Ao en el 8086.?
6. ¿Qué información aparece en el bus multiplexado del 8086 cuando la señal ALE se activa?
7. ¿Qué función tienen los bits de status S0, S1, S2 ,S3 ,S4,S5, S6 y S7?
8. ¿Qué finalidad tienen las terminales DEN"yDT/R"del8086.?
9. ¿Cuáles son las tres funciones que realiza el generador de reloj 8284.?
10. ¿Qué características presenta las diversas señales de reloj que provee el 8284?
11. ¿Para qué se emplea la señal F/C' del 8284.?
12. ¿Cómo se realiza la demultiplexación del bus de direcciones en el 8086?
13. Haga una descripción de cada uno de los estados T del ciclo de bus:
a) T1, b) T2, c) T3 y d) T4
14. ¿Para que se utilizan buffers bidireccionales en el bus de datos y como se interconectan con el 8086.?
15. ¿Para qué se utiliza la terminal READY en el 8086?
16. ¿Qué función realiza el 8288 cuando se conecta al 8086?
17. ¿Mencione la diferencia de modo mínimo y modo máximo del 8086?

UNIVERSIDAD AUTÓNOMA METROPOLITANA
"AZCAPOTZALCO"
PRACTICAS DEL LABORATORIO DE
SISTEMAS DIGITALES CON MICROPROCESADORES
M. en C. Ma. ANTONIETA GARCIA GALVÁN

18. ¿Qué condiciones de los 8086 indican las terminales QSI y QSO?
19. La salida PCLK del 8284A es de _____ MHz si el oscilador de cristal opera a 14 Mhz.
20. Normalmente, ¿cuáles conexiones de bus del microprocesador 8086 son demultiplexadas?
21. ¿Cuál circuito integrado TTL es utilizado frecuentemente para demultiplexar los buses 8086?
22. ¿Qué señal es utilizada en el 8086 para seleccionar la dirección del flujo de datos a través del "buffer" bidireccional de bus 74LS245?
23. Un ciclo de bus es igual a _____ periodos de reloj.
24. Si la entrada CLK a los 8086/8088 es de 4 MHz, ¿cuánto dura un ciclo de bus?
25. ¿Cuánto tiempo está permitido para acceso de memoria cuando los 8086 operan con un reloj de 5 Mhz?
26. Si la terminal READY es conectada a tierra introducirá estados de _____ en el ciclo de bus del 8086
27. ¿Qué función realiza la entrada ASYNC al 8284A?
28. ¿Cuáles niveles lógicos deben ser aplicados a AEN1 y RDY1 para obtener un 1 lógico en la terminal READY? (Asuma que AEN2 tiene un nivel lógico 1).