

Fecha de aprobación: 5 de diciembre de 2013

Departamento de Electrónica

**PROGRAMA ANALÍTICO**

<b>Nivel</b>	Licenciatura		<b>Unidad de enseñanza-aprendizaje</b>		
<b>Clave</b>	1121053		Arquitecturas Paralelas de Computadoras		
4.5	<b>Horas teoría</b>	0.0	<b>Horas práctica</b>	<b>Seriación</b>	<b>Créditos</b>
				1121025	9.0

L i c e n c i a t u r a  e n	I n g e n i e r í a . . .	A m b i e n t a l	C i v i l	E n C o m p u t a c i ó n	E l é c t r i c a	E l e c t r ó n c a	F í s i c a	I n d u s t r i a l	M e c á n i c a	M e t a l ú r g i c a	Q u í m i c a
<b>Obligatoria</b>											
Tronco General											
Tronco Básico Profesional											
Área de Concentración				X		X					
<b>Optativa</b>											
General											
Área de Concentración											
Otros											
<b>Trimestre</b>											
<b>Observaciones</b>											

## Objetivos

Al final del curso el alumno será capaz de:

- Analizar las técnicas de paralelismo para mejorar el desempeño de las aplicaciones.
- Explicar el papel de los compiladores en el cómputo de alto rendimiento.
- Implementar aplicaciones paralelas en sistemas de memoria compartida y memoria distribuida.

## Contenido sintético

1. Cómputo de alto rendimiento.
2. Pipeline.
3. Riesgos y soluciones para sistemas con pipeline.
4. Jerarquía de memoria y modos de acceso múltiple a la memoria.
5. Arquitecturas superescalares y VLWI.
6. Compiladores para arquitecturas paralelas.
7. Arquitecturas multi-núcleo y arquitecturas multi-procesador.
8. Programación paralela con hilos y OpenMP.
9. Arquitecturas multi-computadoras (clusters).
10. Programación paralela con MPI.

## **TEMA I: Cómputo de alto rendimiento.**

### **Objetivos específicos:**

Al finalizar el tema el alumno será capaz de:

- Describir...
- Emplear...

### **Contenido:**

1. Rendimiento en sistemas de cómputo
2. Taxonomía de Flynn
  - 2.1 SISD
  - 2.2 MISD
  - 2.3 SIMD
  - 2.4 MIMD
3. Acceso a la memoria
  - 3.1 Memoria compartida
  - 3.2 Acceso uniforme (UMA)
  - 3.3 Acceso no uniforme (NUMA)
  - 3.4 Acceso sólo a cache (COMA)
  - 3.5 Memoria distribuida
4. Niveles de paralelismo
  - 4.1 Micro-arquitectura y arquitectura
  - 4.2 Vectorial
  - 4.3 Co-procesador
  - 4.4 Multi-núcleo
  - 4.5 Arreglo de procesadores
  - 4.6 Multiprocesador
  - 4.7 Multisistema
5. Leyes en paralelismo
  - 5.1 Ley de Amdahl
  - 5.2 Ley de Gustafson-Barsis
6. Benchmarks

### **Referencias:**

HENN, PATT, DOWN

### **Horas de clase:**

6.0 horas (4 clases)

### **Observaciones:**

## **Modalidades de conducción del proceso de enseñanza-aprendizaje**

- Clases teóricas conducidas de manera expositiva y demostrativa a través de ejercicios y ejemplos con apoyo de medios audiovisuales y computacionales. Alternativamente modalidad de SAI.
- Como parte de las modalidades de conducción del proceso de enseñanzaaprendizaje será requisito que los alumnos con apoyo del profesor, participen en la revisión y análisis de al menos un texto técnico, científico o de difusión escrito en idioma inglés y que contribuya a alcanzar los objetivos del programa de estudios.
- Se procurará que como parte de las modalidades de conducción del proceso de enseñanza-aprendizaje los alumnos participen en la presentación oral de sus trabajos, tareas u otras actividades académicas desarrolladas durante el curso.

## **Información adicional**

Se recomiendo el uso del simulador MIPS5.

Se recomienda el uso de VHDL o Verilog para el diseño y simulación de circuitos.

## **Modalidades de evaluación**

- Al menos tres evaluaciones periódicas consistentes en preguntas conceptuadas, resolución escrita de problemas, simulaciones por computadora y tareas extra-clase (80 %).
- Evaluación terminal (20 %), consistente en preguntas conceptuales y problemas escritos.
- Evaluación de recuperación: Si hay, consistente en preguntas conceptuadas y problemas escritos (100 %). No requiere inscripción previa.

## **Información adicional**

## **Bibliografía necesaria o recomendable**

1. Hennessy J., Patterson D., “Computer Architecture: A Quantitative Approach”, 4th Edition, Morgan Kaufman, 2007
2. Patterson, David A. and John L. Hennessy, “Computer Organization and Design: The Hardware/Software Interface”, 4th. Ed. Morgan Kaufmann Publishers. 2008.
3. Tanenbaum, Andrews S., “Organización de Computadoras: un Enfoque Estructurado”, 5ta. edición, Ed. Pearson Education, 2005.
4. Downd K., Severance C., "High Performance Computing", 2da ed., Ed. O'Really. 1998.
5. Stallings, William, “Organización y Arquitectura de Computadores: Diseño para Optimizar Prestaciones”, 8va. edición, Ed. Prentice Hall, 2009.

## **Bibliografía adicional**

Este programa analítico fue elaborado por el **Grupo Temático de Arquitectura de Computadoras** del Departamento de Electrónica.

Aprobado

Visto bueno

---

Jefe del Departamento de Electrónica

M. en C. Roberto Alfonso Alcántara Ramírez

---

Director de la División de C.B.I

Dr. Luis Enrique Noreña Franco